



日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年    3 月 3 1 日  
Date of Application:

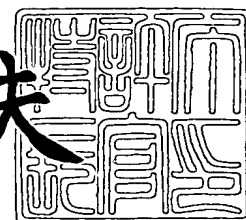
出 願 番 号                      特 願 2 0 0 3 - 0 9 7 2 4 8  
Application Number:  
[ST. 10/C] :                      [ J P 2 0 0 3 - 0 9 7 2 4 8 ]

出      願      人                      株式会社デンソー  
Applicant(s):

2 0 0 4 年    1 月 1 9 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫





【書類名】 特許願

【整理番号】 PY20030114

【提出日】 平成15年 3月31日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/04

【発明者】

    【住所又は居所】 愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内

    【氏名】 浅野 修治

【発明者】

    【住所又は居所】 愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内

    【氏名】 中山 喜明

【発明者】

    【住所又は居所】 愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内

    【氏名】 江口 浩次

【特許出願人】

    【識別番号】 000004260

    【氏名又は名称】 株式会社デンソー

【代理人】

    【識別番号】 100068755

    【弁理士】

    【氏名又は名称】 恩田 博宣

【選任した代理人】

    【識別番号】 100105957

    【弁理士】

    【氏名又は名称】 恩田 誠

【手数料の表示】

    【予納台帳番号】 002956

    【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9908214

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板上の素子及び配線の少なくとも一方の形成される領域の上方に層間絶縁膜を介して薄膜抵抗素子を備える半導体装置にあって、

前記薄膜抵抗素子の形成される領域の直下における前記層間絶縁膜の上面の段差の極大点及び極小点間を結ぶ線と、前記半導体基板の面とのなす鋭角が「 $10^\circ$ 」以下に設定される

ことを特徴とする半導体装置。

【請求項 2】 前記層間絶縁膜として、前記薄膜抵抗素子の形成される領域の下方の領域一帯を覆うようにして形成される無機スピノングラス膜を備える請求項 1 記載の半導体装置。

【請求項 3】 請求項 1 記載の半導体装置において、前記層間絶縁膜は、無機スピノングラス膜と該無機スピノングラス膜の下層の絶縁膜とを備えており、且つ同下層の絶縁膜の上面は、前記薄膜抵抗素子の形成される領域よりも該領域に隣接する領域の方が高く設定されてなる

ことを特徴とする半導体装置。

【請求項 4】 前記薄膜抵抗素子は、前記配線の形成される領域上に形成されるものであって、且つ該配線間の間隔が「 $1.7\mu\text{m}$ 」以上に設定されてなる請求項 1 ～ 3 のいずれかに記載の半導体装置。

【請求項 5】 前記薄膜抵抗素子は、前記配線の形成される領域上に形成されるものであって、且つ前記薄膜抵抗素子と前記配線とは、互いに平行且つ互いの投影が略重なるようにして形成されてなる

請求項 1 ～ 3 記載の半導体装置。

【請求項 6】 素子及び配線の少なくとも一方の形成される領域の上方に層間絶縁膜を介して薄膜抵抗素子を備える半導体装置にあって、

前記層間絶縁膜として、前記薄膜抵抗素子の形成される領域の下方の領域一帯を覆うかたちで形成される無機スピノングラス膜を備える

ことを特徴とする半導体装置。

【請求項 7】素子及び配線の少なくとも一方の形成される領域の上方に層間絶縁膜を介して薄膜抵抗素子を備える半導体装置を製造する方法において、

前記層間絶縁膜として、無機スピノングラス膜を回転塗布することでその上面を平坦化しつつ前記領域の上方に同無機スピノングラス膜を形成する工程と

、  
前記回転塗布により平坦化のなされた無機スピノングラス膜上に前記薄膜抵抗素子及び前記層間絶縁膜を構成する絶縁膜のいずれかを成膜する工程とを備える

ことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、薄膜抵抗素子を備える半導体装置及びその製造方法に関する。

【0002】

【従来の技術】

例えばバイポーラトランジスタを主として用いた回路である半導体リニア回路を備える半導体装置の製造時には、同半導体装置内の回路の微調整等の目的から、薄膜抵抗素子を用いることがある。すなわち、例えば半導体装置の製造工程の最終段階において、製造された回路を微調整すべく、所望の抵抗値を有する薄膜抵抗素子を形成して、上記回路の一部として用いることがある。

【0003】

こうした薄膜抵抗素子を備える半導体装置としては、例えば図 8 に模式的に示すようなものがある。ここでは、半導体基板 100 を覆う第 1 及び第 2 の層間絶縁膜 110、120 の上方の領域のうち、トランジスタ等の素子の形成されないフィールド領域に薄膜抵抗素子 130 が形成されている。このフィールド領域にあっては、第 2 の層間絶縁膜 120 の上面が比較的平坦であるため、同フィールド領域に薄膜抵抗素子 130 を形成することで、この薄膜抵抗素子 130 を所望の特性とすることができる。

【0004】

ただし、このようにフィールド領域に薄膜抵抗素子 130 を形成することは、半導体装置の面積の増大をもたらす。

そこで従来は、図 9 に模式的に示すように、素子や配線の形成される領域上に薄膜抵抗素子 130 を形成することも提案されている（特許文献 1）。

#### 【0005】

##### 【特許文献 1】

特開 2002-124639 号公報

#### 【0006】

##### 【発明が解決しようとする課題】

ところで、上記のように素子や配線の形成される領域上に薄膜抵抗素子 130 が形成される場合、実際には、図 9 に示した第 2 の層間絶縁膜 120 の上面に段差が生じる。そして、段差を有する層間絶縁膜 120 上に薄膜抵抗素子 130 を形成すると、その抵抗値のばらつきが無視できないものとなる。

#### 【0007】

本発明は、こうした実情に鑑みてなされたものであり、その目的は、素子や配線の形成される領域の上方に薄膜抵抗素子を形成する場合であれ、その抵抗値のばらつきを好適に抑制することのできる半導体装置及びその製造方法を提供することにある。

#### 【0008】

##### 【課題を解決するための手段】

こうした目的を達成すべく、請求項 1 記載の半導体装置では、薄膜抵抗素子の形成される領域の直下における層間絶縁膜の上面の段差の極大点及び極小点間を結ぶ線と、半導体基板の面とのなす鋭角を「 $10^\circ$ 」以下に設定した。

#### 【0009】

層間絶縁膜の上面の段差が大きいほど同層間絶縁膜上に形成される薄膜抵抗素子の抵抗値のばらつきが大きくなる。特に、この段差の大小をその極大点及び極小点間を結ぶ線と半導体基板の面とのなす鋭角として定義した場合、これが「 $10^\circ$ 」を超えたあたりから抵抗値のばらつきが急激に増加することが発明者らによって見いだされた。

**【0010】**

この点、上記構成では、上記鋭角を「 $10^\circ$ 」以下に設定することで、抵抗値のばらつきを好適に抑制することができるようになる。

また、請求項2記載の半導体装置では、前記層間絶縁膜として、前記薄膜抵抗素子の形成される領域の下方の領域一帯を覆うようにして形成される無機スピノングラス膜を備えるようにした。

**【0011】**

上記構成では、無機スピノングラス膜を用いている。この無機スピノングラス膜は、メチル基を有しないため、有機スピノングラス膜と比較してビアホール内のプラグを汚染しにくい。したがって、この無機スピノングラス膜にビアホールを形成する場合、同ビアホール内の汚染を抑制しつつも上下の層のコンタクトを取ることが可能である。このため、薄膜抵抗素子の形成される領域の下方の領域についても、この一帯を無機スピノングラス膜で覆うことができる。そしてこの場合、無機スピノングラス膜の上面は、回転塗布によって好適に平坦化することができる。

**【0012】**

また、請求項3記載の半導体装置では、前記層間絶縁膜を、無機スピノングラス膜と該無機スピノングラス膜の下層の絶縁膜とを備えて構成し、且つ同下層の絶縁膜の上面を、前記薄膜抵抗素子の形成される領域よりも該領域に隣接する領域の方が高くなるよう設定した。

**【0013】**

上記構成では、無機スピノングラス膜を回転塗布する際、この無機スピノングラス膜の材料は、薄膜抵抗素子の形成される領域の下方の領域に流動する。したがって、この無機スピノングラス膜を用いて薄膜抵抗素子の形成される領域の直下の層間絶縁膜の上面を好適に平坦化することができるようになる。

**【0014】**

しかも、この無機スピノングラス膜は、メチル基を有しないため、有機スピノングラス膜と比較してビアホール内のプラグを汚染しにくい。したがって、この無機スピノングラス膜にビアホールを形成した場合、同ビアホールを介し

てその上下の層のコンタクトを取ることが可能である。このため、薄膜抵抗素子の形成される領域の下方の領域についても、この一帯を覆うようにして無機スピノングラス膜を形成することができる。そしてこの場合、無機スピノングラス膜の上面を、回転塗布によって好適に平坦化することができる。

#### 【0015】

また、請求項4記載の半導体装置では、前記薄膜抵抗素子を、前記配線の形成される領域上に形成し、且つ該配線間の間隔を「 $1.7\mu\text{m}$ 」以上に設定した。

薄膜抵抗素子が形成される領域の下方に形成される配線の間隔が狭いほど、薄膜抵抗素子の抵抗値のばらつきは大きくなりやすい。特に、配線間の間隔を「 $1.7\mu\text{m}$ 」以上に設定すると、層間絶縁膜の上面の段差の極大点及び極小点間を結ぶ線と半導体基板の面とのなす鋭角を「 $10^\circ$ 」以下とする設定が容易となることが発明者らによって確認された。

#### 【0016】

したがって、上記構成では、配線間の間隔を「 $1.7\mu\text{m}$ 」以上に設定することで、抵抗値のばらつきを好適に抑制することができるようになる。

また、請求項5記載の半導体装置では、前記薄膜抵抗素子を、前記配線の形成される領域上に形成し、且つ前記薄膜抵抗素子と前記配線とを、互いに平行且つ互いの投影が略重なるようにして形成した。

#### 【0017】

上記構成では、薄膜抵抗素子と配線とを互いに平行且つ互いの投影が略重なるようにして形成することで、配線の有無に起因して薄膜抵抗素子の底面に段差が生じることを好適に回避することができる。

#### 【0018】

また、請求項6記載の半導体装置では、層間絶縁膜として、前記薄膜抵抗素子の形成される領域の下方の領域一帯を覆うかたちで形成される無機スピノングラス膜を備えるようにした。

#### 【0019】

上記構成では、無機スピノングラス膜を用いている。この無機スピノングラス膜は、メチル基を有しないため、有機スピノングラス膜と比較してビアホ



ール内のプラグを汚染しにくい。したがって、この無機スピノングラス膜にビアホールを形成する場合、ビアホール内の汚染を抑制しつつも上下の層のコンタクトを取ることが可能である。このため、薄膜抵抗素子の形成される領域の下方の領域についても、この一帯を覆うようにして無機スピノングラス膜を形成することができる。そしてこの場合、無機スピノングラス膜の上面を回転塗布によって好適に平坦化することができ、ひいては、薄膜抵抗素子の抵抗値のばらつきを好適に抑制することができるようになる。

#### 【0020】

また、請求項7記載の半導体装置の製造方法では、前記層間絶縁膜として、無機スピノングラス膜を回転塗布することでその上面を平坦化しつつ前記領域の上方に同無機スピノングラス膜を形成する工程と、前記回転塗布により平坦化のなされた無機スピノングラス膜上に前記薄膜抵抗素子及び前記層間絶縁膜を構成する絶縁膜のいずれかを成膜する工程とを備えるようにした。

#### 【0021】

上記製造方法では、無機スピノングラス膜を用いている。この無機スピノングラス膜は、メチル基を有しないため、有機スピノングラス膜と比較してビアホール内のプラグを汚染しにくい。したがって、この無機スピノングラス膜にビアホールを形成する場合、同ビアホール内の汚染を抑制しつつも上下の層のコンタクトを取ることが可能である。

#### 【0022】

このため、上記無機スピノングラス膜を形成する工程では、薄膜抵抗素子の形成される領域の下方の領域一帯を覆うようにして形成することができる。そして、無機スピノングラス膜の上面にエッチング等の処理を施すことなく、回転塗布によって平坦化のなされた無機スピノングラス膜の上面に直接薄膜抵抗素子と層間絶縁膜を構成する絶縁膜とのいずれかを形成することができるようになる。

#### 【0023】

したがって、上記製造方法によれば、抵抗値のばらつきを好適に抑制することができるようになる。

## 【0024】

## 【発明の実施の形態】

## (第1の実施形態)

以下、本発明にかかる半導体装置及びその製造方法の第1の実施形態を図面を参照しつつ説明する。

## 【0025】

図1に、本実施形態にかかる半導体装置の断面構成を示す。

同図1に示されるように、バイポーラトランジスタTr等の素子の形成される半導体基板1上には、シリコン酸化膜等の絶縁膜10が形成されている。そして、この絶縁膜10上には、配線12が形成されている。この配線12の上面及び側面は、上層との電気的なコンタクトを取る部分を除いてシリコン窒化膜14で覆われている。このシリコン窒化膜14は、配線12を保護するための膜である。更に、シリコン窒化膜14上には、無機スピノングラス膜（無機SOG膜）20が形成されている。そして、この無機スピノングラス膜20の上面には、TEOS（tetraethylorthosilicate）膜21が形成されている。このTEOS膜21は、無機SOG膜20の吸湿性が高いことなどのために、同無機SOG膜20の表面を覆うための保護膜である。

## 【0026】

そして、このTEOS膜21の上面には、クロムシリコン（CrSi）からなる薄膜抵抗素子30が形成されている。更に、この薄膜抵抗素子30を覆うようにしてシリコン窒化膜等の絶縁膜40が形成されている。そして、この絶縁膜40には、ビアホール41が設けられ、同ビアホール41を介して薄膜抵抗素子30と絶縁膜40上の配線42とのコンタクトが取られている。

## 【0027】

上記薄膜抵抗素子30は、バイポーラトランジスタを主として用いた半導体リニア回路の搭載される本実施形態における半導体装置において、同半導体リニア回路の微調整等を行うべく用いられるものである。本実施形態では、この薄膜抵抗素子30をバイポーラトランジスタTr等の素子や配線12の形成される領域の上方に形成することで、当該半導体装置の面積の増大の抑制が図られている。

## 【0028】

ここで、上記薄膜抵抗素子 30 の形成される領域の直下における上記 T E O S 膜 21 の上面の段差については、その極大点及び極小点間を結ぶ線と半導体基板 1 の面のなす鋭角（テーパ角）が「 $10^{\circ}$ 」以下となるように設定されている。以下、これについて図 2 を用いて説明する。

## 【0029】

図 2（a）は、薄膜抵抗体の形成される領域の直下における層間絶縁膜の上面の段差についての上記テーパ角と薄膜抵抗素子の抵抗値のばらつきとの関係を示す実験データである。なお、図 2（a）におけるプロット○は、ペア性ばらつきについての複数の測定値の平均を示しており、実際の計測値は、上記プロット○を貫く線分にて示す領域に渡っている。図 2（b）は、この実験に用いる互いに同一の形状にて形成される一対の薄膜抵抗素子 L1 及び L2 を示している。また、図 2（c）は、図 2（b）の A-A' 断面である。

## 【0030】

ここで、上記薄膜抵抗素子の抵抗値のばらつきは、同一の形状（線幅「 $1 \sim 10 \mu\text{m}$ 」、膜厚「 $10 \sim 50 \text{nm}$ 」）に形成される薄膜抵抗素子 L1 及び L2 の抵抗値のばらつき（ペア性ばらつき）として定義される。すなわち、薄膜抵抗素子 L1、L2 について計測される抵抗値をそれぞれ抵抗値 R1、R2 とするとき、ペア性ばらつきは、以下の式にて定義される。

## 【0031】

$$(R1 - R2) / \{(R1 + R2) / 2\} \times 100$$

また、この実験で用いられる薄膜抵抗素子 L1、L2 は、スパッタリングによる成膜と、リソグラフィ技術によるパターンニングとを有する同一の工程にて形成されたものである。そして、これら薄膜抵抗素子 L1、L2 は、図 2（c）に示されるように、配線 50 の形成されている領域の上方に、層間絶縁膜 51 を介して同配線 50 と略直交するようにして形成されている。そして、これら薄膜抵抗素子 L1、L2 の上面は、層間絶縁膜 52 で覆われている。また、薄膜抵抗素子 L1 や L2 は、バリア層 53、54、プラグ 55 を介して層間絶縁膜 52 上の配線 56 と接続されている。

## 【0032】

そして、上記テーパ角は、同図2(c)に示すように、層間絶縁膜51の上面の段差について、その極小点 $P_{min}$ と極大点 $P_{max}$ とを結ぶ線 $L_d$ と半導体基板と平行な面 $S$ とのなす鋭角 $\theta$ として定義されている。ここで、極大点 $P_{max}$ と極小点 $P_{min}$ とは、いずれも層間絶縁膜51の下方に形成される部材（ここでは、配線50）に起因した段差の極大点及び極小点として定義されている。ちなみに、図2(a)に示す実験においては、テーパ角は、実験対象となるデバイスの断面写真から極大点及び極小点を取得することで求めたものを用いている。

## 【0033】

上記図2(a)に示すように、上記テーパ角が「 $10^\circ$ 」を超えたあたりから上記ペア性ばらつきが急激に増加することがわかる。このため、本実施形態では、先の図1に示したTEOS膜21の上面の段差について、そのテーパ角を「 $10^\circ$ 」以下に設定する。

## 【0034】

次に、こうした設定を実現するような薄膜抵抗素子の下方に形成される部材の敷設態様について考察する。

ここでは、図3(a)に示すように、ペア性ばらつきの測定対象となる薄膜抵抗素子 $L_1$ 、 $L_2$ の下方に、同薄膜抵抗素子 $L_1$ 、 $L_2$ に略直交するようにして、例えばアルミニウムからなる複数の金属膜60を互いに平行に敷設する。そして、図3(b)に図3(a)のA-A断面として示すように、この金属膜60をシリコン窒化膜61にて覆う。更に、各金属膜60間の段差を補償するようにして、これら金属膜60間に有機SOG膜62を形成する。更に、これら有機SOG膜62及びシリコン窒化膜61上方を、膜厚「 $200 \sim 400 \text{ nm}$ 」のTEOS膜63にて覆う。そしてTEOS膜63上に薄膜抵抗素子 $L_1$ 、 $L_2$ を形成する。なお、薄膜抵抗素子 $L_1$ 、 $L_2$ は、スパッタリングによる成膜と、リソグラフィ技術によるパターンニングとを有する同一の工程にて形成されたものである。また、この薄膜抵抗素子 $L_1$ 、 $L_2$ は、層間絶縁膜65で覆われており、同薄膜抵抗素子 $L_1$ 、 $L_2$ と層間絶縁膜65上の電極66とは、バリア層67、68、

及びプラグ 69 を介して互いに接続されている。

#### 【0035】

こうした条件下、上記金属膜 60 の間隔（図 3（a）中、「W」にて表記）を「 $0.8\mu\text{m} \sim 10\mu\text{m}$ 」の範囲で変更した際の上記ペア性ばらつきを図 3（c）に示す。同図 3（c）に示されるように、金属膜 60 の間隔が広いほど、ペア性ばらつきは低減する。なお、図 3（c）におけるプロット○は、ペア性ばらつきについての複数の測定値の平均を示しており、実際の計測値は、上記プロット○を貫く線分にて示す領域に渡っている。

#### 【0036】

一方、図 3（d）に、上記金属膜 60 の間隔を「 $0.8\mu\text{m} \sim 10\mu\text{m}$ 」の範囲で変更した際の上記 TEOS 膜 63 上面のうち薄膜抵抗素子 L1、L2 の直下の領域の段差についてのテーパ角を示す。同図 3（d）に示すように、金属膜 60 の間隔が広いほど、テーパ角は低減する。

#### 【0037】

以上から、金属膜 60 の間隔の縮小に伴うペア性ばらつきの増大は、金属膜 60 の間隔の縮小が上記 TEOS 膜 63 上面のうち薄膜抵抗素子 L1、L2 の直下の領域の段差についてのテーパ角の増大を招くためであると結論できる。これは、金属膜 60 の間隔が狭いと、金属膜 60 上の各部材を形成する際のリソグラフィ工程やその後のエッチング工程におけるパターニング精度が、パターニングする対象が密なほど低下することに起因すると推定される。

#### 【0038】

したがって、ペア性ばらつきを低減させるべくテーパ角を低減させるためには、金属膜 60 の間隔を拡大することが有効である。また、特に、図 3（d）から、金属膜 60 の間隔を「 $1.7\mu\text{m}$ 」以上とするとテーパ角を「 $10^\circ$ 」以下とすることができることがわかる。

#### 【0039】

更に、本実施形態では、先の図 1 に示したように、上記配線 12 と薄膜抵抗素子 30 との間に形成される層間絶縁膜として、無機 SOG 膜 20 を備えている。

この無機 SOG 膜 20 は、メチル基を有しないため、有機 SOG 膜と比較して

ビアホール内のプラグを汚染しにくい。したがって、この無機SOG膜20を用いた場合、これを開口することで先の図1に破線にて例示するような上下の層のコンタクトをとるビアホール23形成したとしても、同ビアホール23内のプラグの汚染を好適に回避することができる。

#### 【0040】

このため、先の図1に示したように、無機SOG膜20を、薄膜抵抗素子30の形成される領域の下方の領域一帯を覆うようにして形成することができる。更に、薄膜抵抗素子30の形成される領域の下方の領域において、無機SOG膜20の上面は、その最も低いところでもTEOS膜21の上面の段差の要因となる配線12の上面よりも高くなるように形成することもできる。これにより、無機SOG膜20を用いることで、薄膜抵抗素子30の形成される領域の直下におけるTEOS膜21の上面の平坦化を促進することができる。

#### 【0041】

これに対し、有機SOG膜はメチル基を有するため、同有機SOG膜がビアホールと接触するとビアホール内のプラグが汚染されるおそれがある。このため、素子や配線の段差を保証すべく有機SOG膜を用いる場合、通常、先の図3(b)に例示したようにビアホールに接触しないように素子や配線の側面に有機SOG膜を形成するようにする。しかし、こうした態様にて有機SOG膜を形成する際には、有機SOG膜とビアホールとの接触を確実に回避すべく、オーバーエッチングがなされることとなり、このため、素子や配線の上面の平坦化は必ずしも十分なものとならない。

#### 【0042】

図4に、こうした無機SOG膜と有機SOG膜とを用いた場合について、薄膜抵抗素子の形成される領域の下方に形成される金属膜の間隔と、同薄膜抵抗素子の形成される領域の直下の層間絶縁膜のテーパ角との関係を示す。同図4に示すプロットである○及び△は、それぞれ無機SOG膜及び有機SOG膜を用いた場合について、ペア性ばらつきについての複数の測定値の平均を示している。そして、実際の計測値は、図4において上記プロットを貫く線分にて示す領域に渡っている。また、無機SOG膜を用いた場合については先の図1に示した構成を用

いるとともに、有機 SOG 膜を用いた場合については先の図 3 (b) に示した構成を用いた。

#### 【0043】

同図 4 に示されるように、無機 SOG 膜を用いた場合の方が、薄膜抵抗素子の形成される領域の直下の層間絶縁膜のテーパ角を低減しやすいことがわかる。

ただし、同図 4 では、無機 SOG 膜を用いた場合には金属膜の間隔によらずにいつでもテーパ角が「 $10^\circ$ 」以下となっているが、これは、先の図 1 に示した設定がなされている場合についてのものである。すなわち、薄膜抵抗素子 30 の形成される領域の下方の領域において、無機 SOG 膜 20 の上面が、その最も低いところでも配線 12 の上面よりも高くなる設定がなされている場合についてのものである。したがって、膜厚が極端に薄い場合には、たとえ無機 SOG 膜を用いたとしても必ずしもテーパ角が「 $10^\circ$ 」以下とはならない。したがって、無機 SOG 膜を用いた場合であれ、テーパ角を「 $10^\circ$ 」以下に設定するためには、金属膜の間隔や金属膜の敷設方向を適宜考慮することが望ましい。

#### 【0044】

ここで、本実施形態にかかる半導体装置の製造手順について図 5 を用いて説明する。

この一連の工程においては、先ず図 5 (a) に示す工程において、上記絶縁膜 10 上に例えばアルミニウムからなる配線 12 を形成する。続く図 5 (b) に示す工程においては、配線 12 をシリコン窒化膜 14 で覆う。更に、図 5 (c) に示す工程において、上記無機 SOG 膜 20 の材料を回転塗布し、「 $100 \sim 250^\circ$ 」のベーク処理と「 $300 \sim 350^\circ$ 」のベーク処理とを段階的に行うことで、無機 SOG 膜 20 を形成する。

#### 【0045】

このように、無機 SOG 膜 20 を回転塗布することで、同無機 SOG 膜 20 の上面においては、配線 12 の有する段差の影響は緩和される。

更に、図 5 (d) に示す工程において、無機 SOG 膜 20 上にプラズマを用いた化学気相成長法（プラズマ CVD 法）により上記 TEOS 膜 21 を形成する。そして、図 5 (e) に示す工程において、スパッタリングにてクロムシリコン（

CrSi)を成膜した後、リソグラフィ技術を用いてこれをパターンニングすることとで上記薄膜抵抗素子30を形成する。

#### 【0046】

以上詳述した第1の実施形態によれば、以下の効果が得られるようになる。

(1) テーパ角を「10°」以下に設定することで、抵抗値のばらつきを好適に抑制することができるようになる。

#### 【0047】

(2) 層間絶縁膜として、無機SOG膜20を用いた。この無機SOG膜20により、薄膜抵抗素子30の形成される領域の下方の領域一帯を覆うことが可能となり、薄膜抵抗素子30の形成される領域の直下におけるTEOS膜21の段差を好適に抑制することができる。

#### 【0048】

(第2の実施形態)

次に、本発明にかかる第2の実施形態について、先の第1の実施形態との相違点を中心に図面を参照しつつ説明する。

#### 【0049】

図6に、本実施形態にかかる半導体装置の構成を示す。なお、図6においては、先の図1に示した部材と同一の部材については、便宜上同一の符号を付した。

同図6に示されるように、本実施形態においては、無機SOG膜20の下層に形成される絶縁膜であるシリコン窒化膜14や絶縁膜10の上面は、薄膜抵抗素子30の形成される領域よりも同領域に隣接する領域の方が高く設定されている。このため、無機SOG膜20を回転塗布する際、この無機SOG膜20は、薄膜抵抗素子30の形成される領域の下方の領域へと流動するようになる。したがって、この無機SOG膜20を用いて薄膜抵抗素子30の形成される領域の直下の領域の平坦化を促進することができる。

#### 【0050】

シリコン窒化膜14の上面を上記態様にて設定すべく、本実施形態では、フィールド酸化膜2とポリシリコン膜3とを用いている。すなわち、半導体基板1上の素子を分離すべく、LOCOS法にてフィールド酸化膜2を形成した後、この



フィールド酸化膜 2 上にポリシリコン膜 3 を形成する。これにより、これらフィールド酸化膜 2 及びポリシリコン膜 3 上において、シリコン窒化膜 14 や絶縁膜 10 の上面を配線 12 の上面よりも高くすることができる。そして、これにより、無機 SOG 膜 20 の上面を配線 12 の上面よりも高くなるようにして形成することができる。

#### 【0051】

以上説明した本実施形態によれば、先の第 1 の実施形態の上記 (1) 及び (2) の効果に加えて、更に以下の効果が得られるようになる。

(3) 無機 SOG 膜 20 の下層に形成される絶縁膜であるシリコン窒化膜 14 や絶縁膜 10 の上面を、薄膜抵抗素子 30 の形成される領域よりも同領域に隣接する領域の方が高くなるようにした。これにより、この無機 SOG 膜 20 を用いて薄膜抵抗素子 30 の形成される領域の直下の領域の平坦化を促進することができる。

#### 【0052】

(第 3 の実施形態)

次に、本発明にかかる第 3 の実施形態について、先の第 1 の実施形態との相違点を中心に図面を参照しつつ説明する。なお、本実施形態において、上記第 1 の実施形態と同一の部材については便宜上同一の符号を付した。

#### 【0053】

上記第 1 の実施形態では、薄膜抵抗素子 30 と配線 12 とを互いに略直交させて敷設した。これに対し、本実施形態では、図 7 に示すように、薄膜抵抗素子 30 と配線 12 とを、互いに平行且つ互いの投影が略重なるようにして形成する。具体的には、薄膜抵抗素子 30 の投影が配線 12 内に収まるように形成する。

#### 【0054】

これにより、薄膜抵抗素子 30 の形成される領域の直下の領域において、配線 12 の有無に起因して TEOS 膜 21 に段差が生じることを好適に回避することができる。

#### 【0055】

以上説明した本実施形態によれば、先の第 1 の実施形態の上記 (1) 及び (2)

) の効果に加えて、更に以下の効果が得られるようになる。

(4) 薄膜抵抗素子 30 と配線 12 とを、互いに平行且つ互いの投影が略重なるようにして形成することで、配線 12 の有無に起因して T E O S 膜 21 に段差が生じることを好適に回避することができる。

#### 【0056】

なお、上記各実施形態は、以下のように変更して実施してもよい。

・薄膜抵抗素子の材料としては、クロムシリコン (C r S i) に限らない。例えば、C r S i O N、S n O<sub>2</sub>、C r S i N、N i C r、T a、C r、C r T i、T i、T i A l、T i N、R e、 $\beta$ -F a S i、単結晶シリコン、多結晶シリコン、W s i、W、T a N、M o - S i、T i と T i N との積層膜、T i と W N との積層膜などでもよい。

#### 【0057】

・配線と薄膜抵抗素子との間に設けられる層間絶縁膜としては、上記各実施形態に例示したものに限らない。こうした層間絶縁膜としては、無機 S O G 膜を備えて構成されることが望ましい。

#### 【0058】

・上記第 1 及び第 2 の実施形態では、薄膜抵抗素子の形成される領域の下方に層間絶縁膜を介して配線を備える構成としたが、配線の代わりに素子が形成されていてもよい。すなわち、例えば先の図 1 に示した構成において、薄膜抵抗素子 30 の下方に配線 12 を備えていなくてもバイポーラトランジスタ T r 等の素子を備えているなら、こうした素子に起因した段差によって薄膜抵抗素子の抵抗値がばらつくおそれがある。このため、こうした場合であれ、上記第 1 及び第 2 の実施形態のような層間絶縁膜の設定は有効である。

#### 【0059】

・上記第 2 の実施形態において、無機 S O G 膜は、必ずしも先の図 6 に例示したように薄膜抵抗素子 30 の形成される領域の下方の領域のみに形成されるものに限らず、半導体基板 1 の全面に形成されていてもよい。

#### 【0060】

・上記第 2 の実施形態において、無機 S O G 膜の下層の絶縁膜の上面を薄膜抵

抗素子の形成される領域の下方の領域よりもこれに隣接する領域の方が高くするための手段としては、先の図 6 に例示したものに限らない。要は、上記下層の絶縁膜について、薄膜抵抗素子の形成される領域よりもこれに隣接する領域の方が高くなるように、同隣接する領域に適宜の段差調整手段を備えればよい。

#### 【0 0 6 1】

・無機 S O G 膜を用いなくとも、例えば上記第 3 の実施形態に例示した構成や、先の図 4 に示したように金属膜の間隔を十分に離間させることで、薄膜抵抗素子の形成される領域の直下における層間絶縁膜の上面の段差をテーパ角を「1 0 °」以下とすることはできる。

#### 【0 0 6 2】

・上記第 1 及び第 2 の実施形態において、配線 1 2 と薄膜抵抗素子 3 0 とを互いに略直交させて配置したが、これに限らない。

・上記各実施形態では、バイポーラトランジスタを主として用いた回路である半導体リニア回路を備える半導体装置に本発明を適用したがこれに限らず、例えば C M O S 回路を搭載した半導体装置であってもよい。

#### 【図面の簡単な説明】

【図 1】本発明にかかる半導体装置の第 1 の実施形態の断面構成を示す断面図。

【図 2】薄膜抵抗素子のペア性ばらつきと同素子下の絶縁膜の段差との関係を示す図。

【図 3】薄膜抵抗素子の下方に形成される金属膜の間隔に対する同素子のペア性ばらつき及び素子下の絶縁膜の段差の関係を示す図。

【図 4】層間絶縁膜として無機 S O G 膜及び有機 S O G 膜を用いた場合の半導体装置の特性を比較する図。

【図 5】上記実施形態の製造工程を示す断面図。

【図 6】本発明にかかる半導体装置の第 2 の実施形態の断面構成を示す断面図。

【図 7】本発明にかかる半導体装置の第 3 の実施形態の断面構成を示す平面図。

【図 8】従来の半導体装置の断面構成を示す断面図。

【図 9】従来の半導体装置の断面構成を示す断面図。

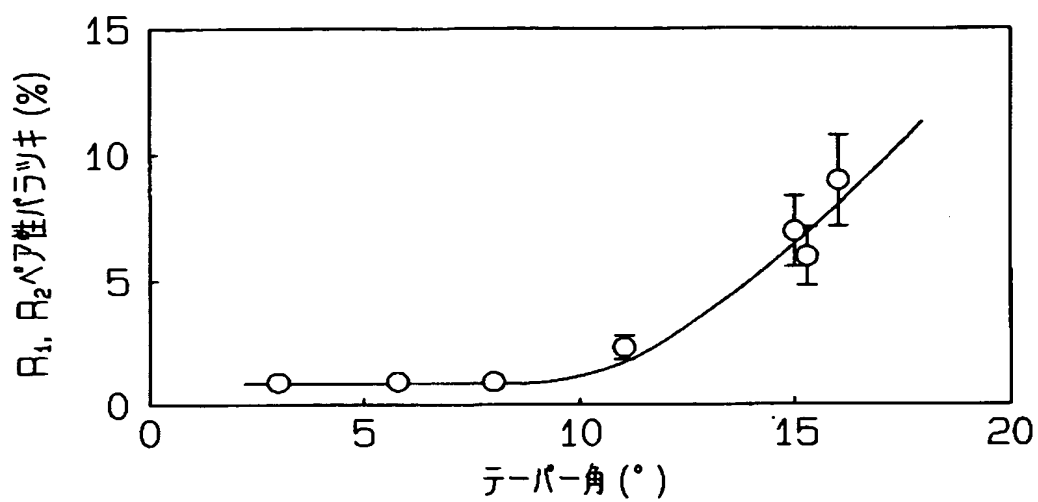
【符号の説明】

1…半導体基板、2…フィールド酸化膜、3…ポリシリコン膜、10…絶縁膜、  
12…配線、14…シリコン窒化膜、20…無機SOG膜、21…TEOS膜、  
23…ビアホール、30…薄膜抵抗素子、40…絶縁膜、41…ビアホール、  
42、50…配線、51、52…層間絶縁膜、53、54…バリア層、55…プラグ、  
56…配線、60…金属膜、61…シリコン窒化膜、62…有機SOG膜、  
63…TEOS膜、65…層間絶縁膜、66…電極、67、68…バリア層、  
69…プラグ。

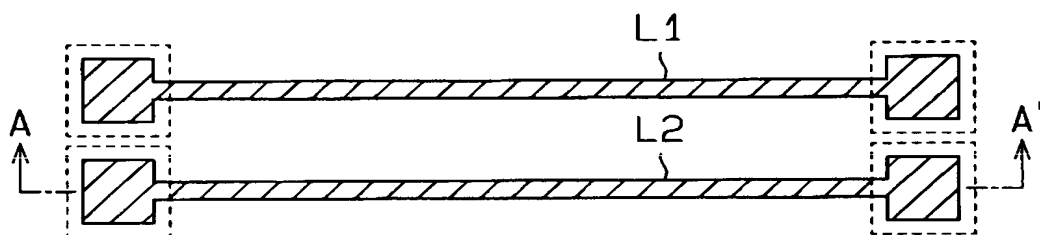


【図 2】

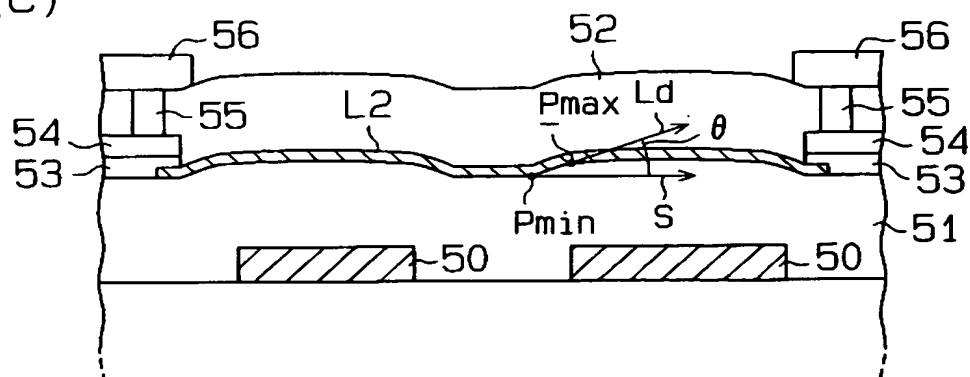
(a)



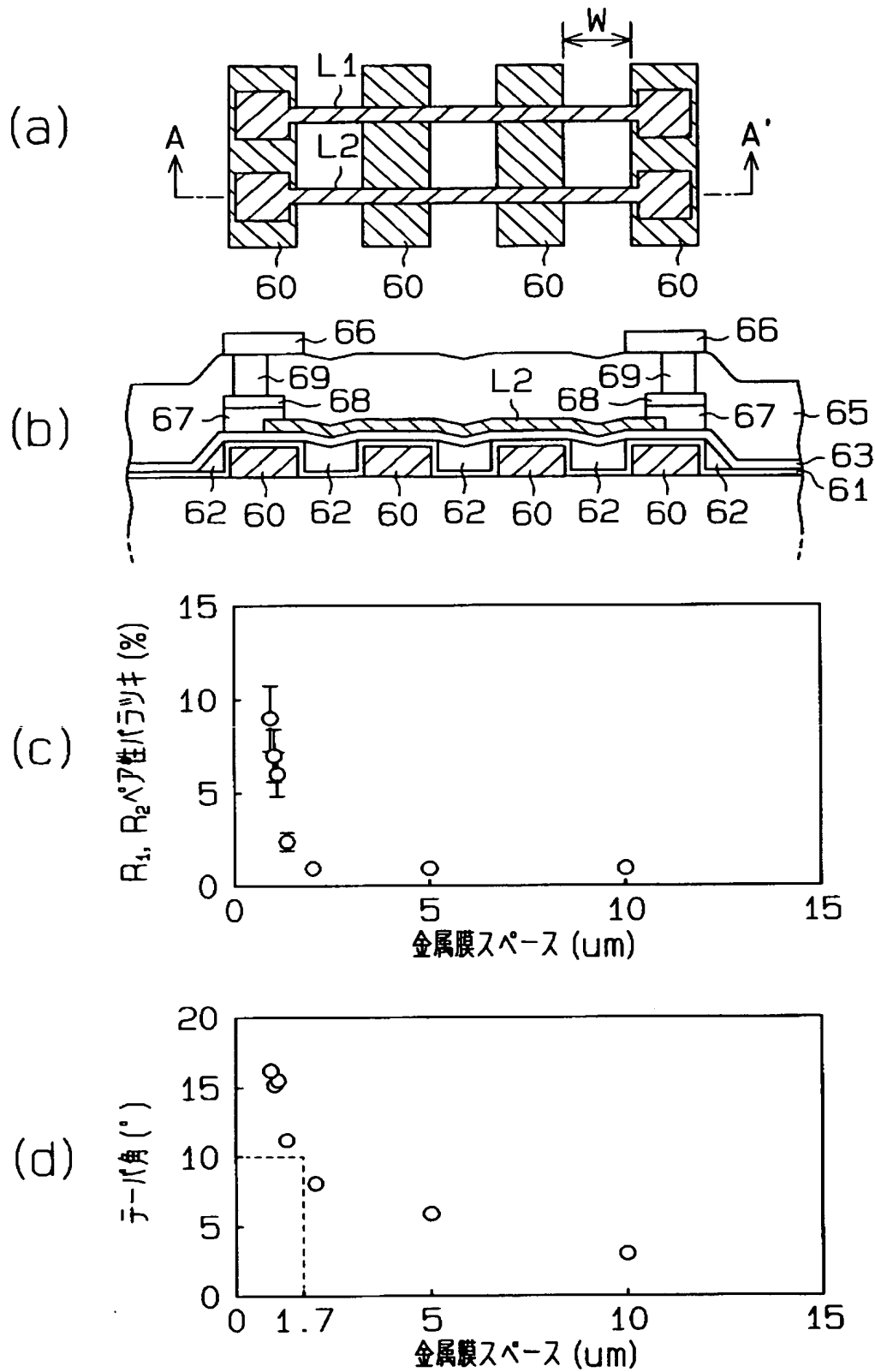
(b)



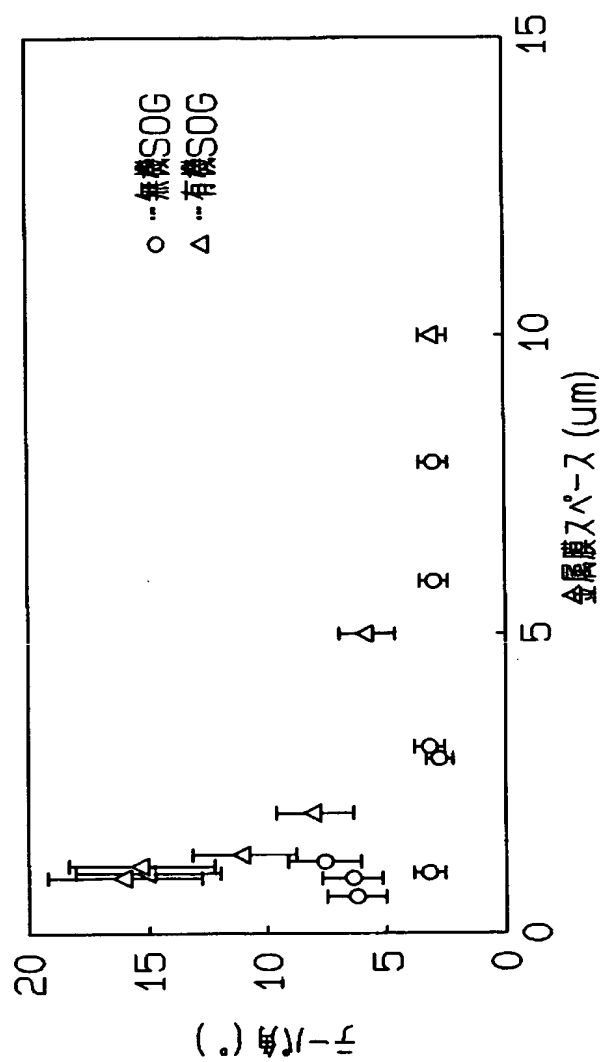
(c)



【図 3】

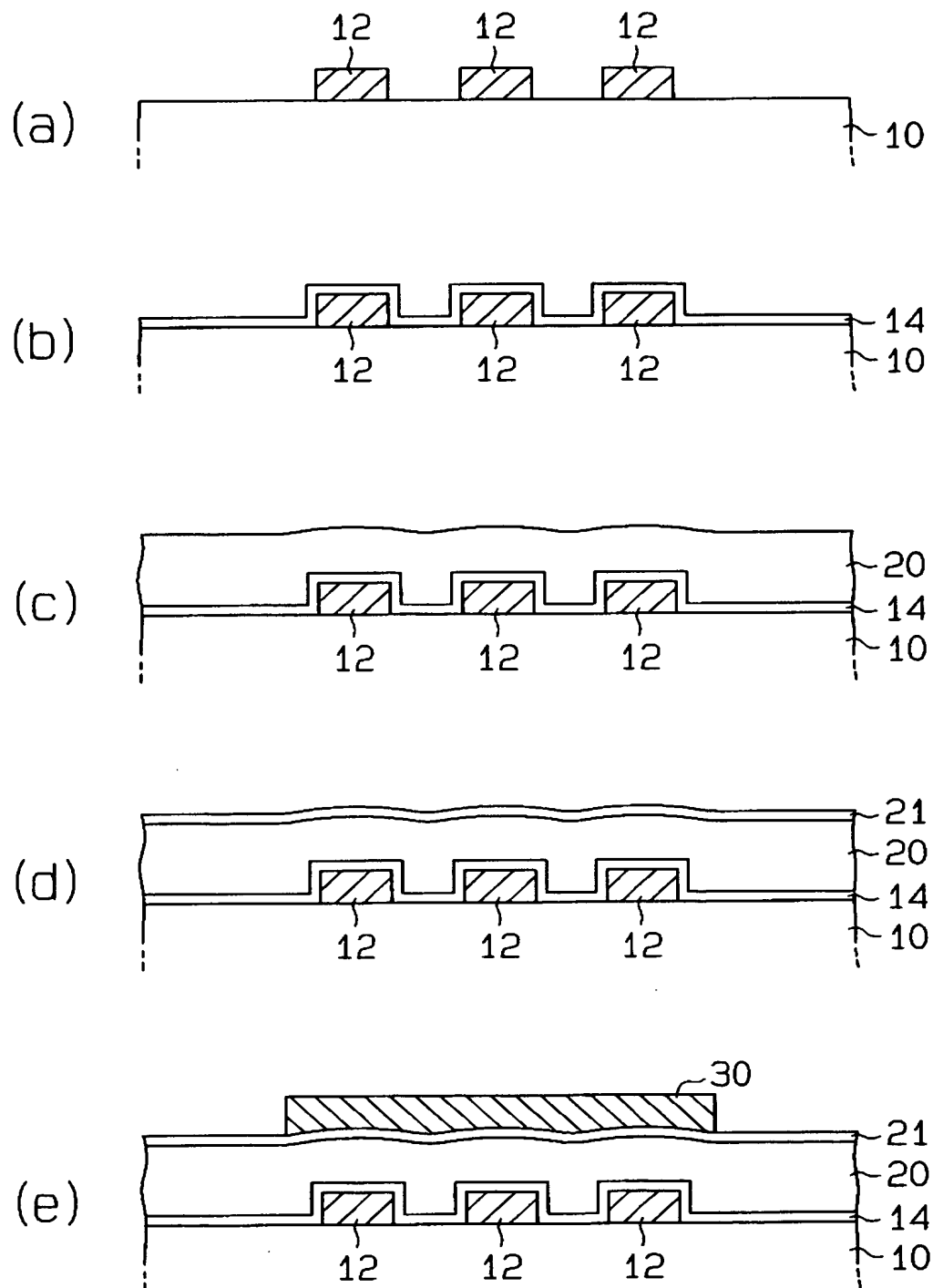


【図 4】

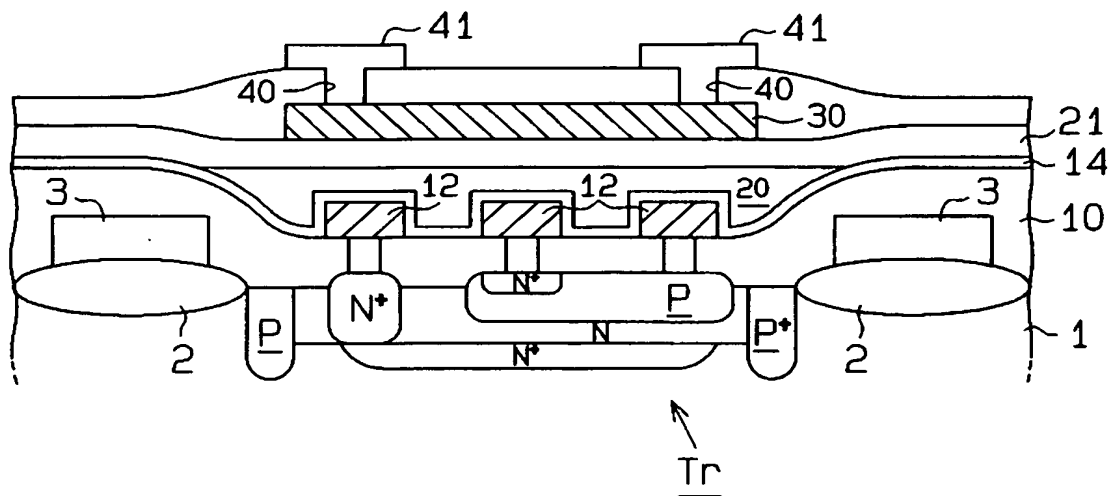




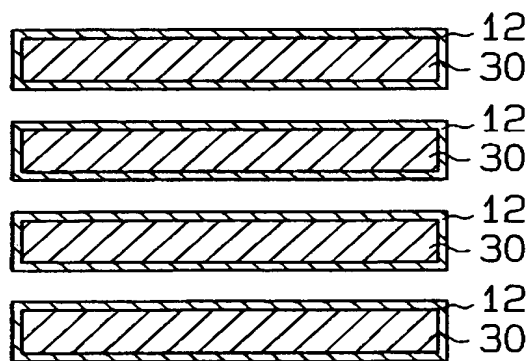
【図 5】



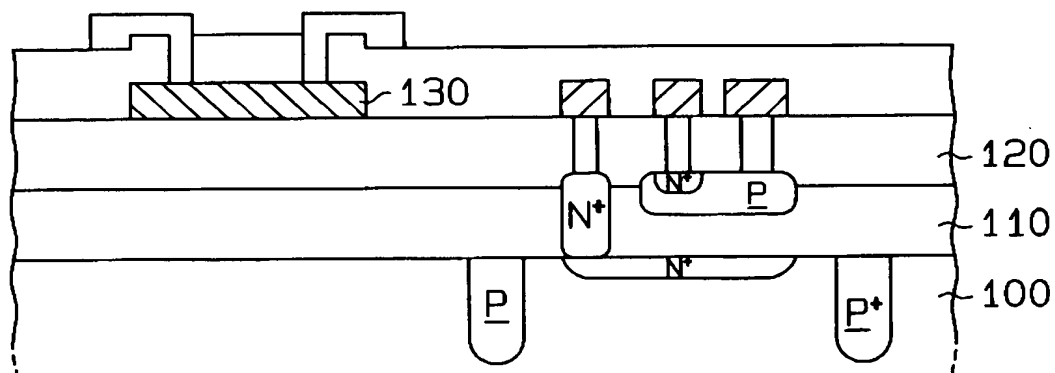
【図 6】



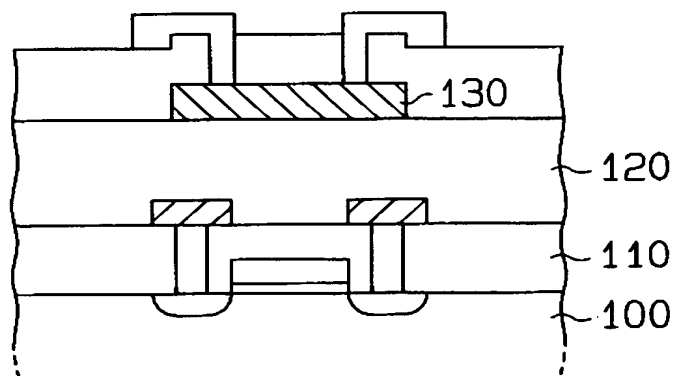
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 素子や配線の形成される領域の上方に薄膜抵抗素子を形成する場合であ  
れ、その抵抗値のばらつきを好適に抑制することのできる半導体装置及びその製  
造方法を提供する。

【解決手段】 半導体基板 1 上の絶縁膜 10 上には、配線 12 が形成されている。  
この配線 12 は、シリコン窒化膜 14 や、無機 SOG 膜 20、TEOS 膜 21 で  
覆われている。そして、この TEOS 膜 21 の上面には、クロムシリコン (Cr  
Si) からなる薄膜抵抗素子 30 が形成されている。この薄膜抵抗素子 30 の形  
成される領域の直下における上記 TEOS 膜 21 の上面の段差の極大点及び極小  
点間を結ぶ線と、半導体基板 1 の面のなす鋭角は、「10°」以下に設定されて  
いる。

【選択図】 図 1

特願 2 0 0 3 - 0 9 7 2 4 8

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 4 2 6 0 ]

1. 変更年月日

1 9 9 6 年 1 0 月 8 日

[変更理由]

名称変更

住 所

愛知県刈谷市昭和町 1 丁目 1 番地

氏 名

株式会社デンソー